

Docket No.: 60188-599

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kouichi NAGANO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: July 31, 2003	:	Examiner:
	:	
For: DIGITAL AGC CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-013847, filed January 22, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 31, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-599
Kouichi Nagano
July 31, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 1月22日

出願番号
Application Number:

特願2003-013847

[ST.10/C]:

[JP2003-013847]

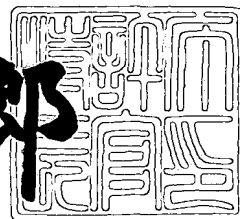
出願人
Applicant(s):

松下電器産業株式会社

2003年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040870

【書類名】 特許願

【整理番号】 2037640126

【提出日】 平成15年 1月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H03G 3/20
H03G 3/30
H04L 27/22

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 永野 孝一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル A G C 回路

【特許請求の範囲】

【請求項 1】 DVD ディスク中にウォブル信号の位相変調により記録されたアドレス情報を復調するためのアドレス情報復調回路に用いられるデジタル A G C 回路であって、

デジタル化されたウォブル信号を入力とし、かつ当該ウォブル信号の 2 分の 1 周期以上の期間におけるピーク値を検出するためのピーク検出回路と、

前記検出されたピーク値からゲイン調整係数を算出するためのゲイン算出回路と、

前記デジタル化されたウォブル信号に前記ゲイン調整係数を乗算するための乗算器とを備えたことを特徴とするデジタル A G C 回路。

【請求項 2】 請求項 1 記載のデジタル A G C 回路において、

前記ウォブル信号を遅延させて前記乗算器へ供給するための遅延器を更に備えたことを特徴とするデジタル A G C 回路。

【請求項 3】 請求項 1 又は 2 に記載のデジタル A G C 回路において、

前記ゲイン算出回路から前記乗算器へ供給されるゲイン調整係数を一定範囲内に制限するためのリミッタを更に備えたことを特徴とするデジタル A G C 回路。

【請求項 4】 DVD ディスク中にウォブル信号の位相変調により記録されたアドレス情報を復調するためのアドレス情報復調回路に用いられるデジタル A G C 回路であって、

前記デジタル A G C 回路の出力を入力とし、かつ当該出力の 2 分の 1 周期以上の期間におけるピーク値を検出するためのピーク検出回路と、

前記検出されたピーク値からゲイン調整係数を算出するためのゲイン算出回路と、

デジタル化されたウォブル信号を入力とし、かつ当該ウォブル信号に前記ゲイン調整係数を乗算するための乗算器とを備えたことを特徴とするデジタル A G C 回路。

【請求項 5】 請求項 4 記載のデジタル A G C 回路において、

前記ゲイン算出回路から与えられたゲイン調整係数を積分して前記乗算器へ供給するための積分器を更に備えたことを特徴とするデジタル A G C 回路。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ピーク検出回路は、

前記ウォブル信号の 1 周期をカウントするための 1 周期カウンタと、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最大値を正のピーク値として検出し、該検出した最大値を前記ゲイン算出回路へ供給するための最大値検出回路とを備えたことを特徴とするデジタル A G C 回路。

【請求項 7】 請求項 1 ～ 5 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ピーク検出回路は、

前記ウォブル信号の 1 周期をカウントするための 1 周期カウンタと、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最小値を負のピーク値として検出するための最小値検出回路と、

前記検出された負のピーク値の絶対値を算出し、該算出した絶対値を前記ゲイン算出回路へ供給するための絶対値回路とを備えたことを特徴とするデジタル A G C 回路。

【請求項 8】 請求項 1 ～ 5 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ピーク検出回路は、

前記ウォブル信号の 1 周期をカウントするための 1 周期カウンタと、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最大値を正のピーク値として検出するための最大値検出回路と、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最小値を負のピーク値として検出するための最小値検出回路と、

前記検出された正のピーク値か負のピーク値かのいずれかを選択し、該選択したピーク値を前記ゲイン算出回路へ供給するためのセレクタとを備えたことを特

徴とするデジタル A G C 回路。

【請求項 9】 請求項 1 ～ 5 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ピーク検出回路は、

前記ウォブル信号の 1 周期をカウントするための 1 周期カウンタと、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最大値を正のピーク値として検出するための最大値検出回路と、

前記 1 周期カウンタの出力に応じて前記ウォブル信号の 1 周期の期間における最小値を負のピーク値として検出するための最小値検出回路と、

前記検出された正のピーク値と負のピーク値との差を算出し、該算出した差を前記ゲイン算出回路へ供給するための差分回路とを備えたことを特徴とするデジタル A G C 回路。

【請求項 1 0】 請求項 1 ～ 5 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ピーク検出回路は、

前記ウォブル信号の 2 分の 1 周期をカウントするための 2 分の 1 周期カウンタと、

前記 2 分の 1 周期カウンタの出力に応じて前記ウォブル信号の 2 分の 1 周期の期間における最大値を正のピーク値として検出するための最大値検出回路と、

前記 2 分の 1 周期カウンタの出力に応じて前記ウォブル信号の 2 分の 1 周期の期間における最小値を負のピーク値として検出するための最小値検出回路と、

前記検出された正のピーク値と負のピーク値とを加算するための加算器と、

前記検出された正のピーク値か負のピーク値かのいずれかを前記加算器の出力に応じて選択し、該選択したピーク値を前記ゲイン算出回路へ供給するためのセレクタとを備えたことを特徴とするデジタル A G C 回路。

【請求項 1 1】 請求項 1 ～ 1 0 のいずれか 1 項に記載のデジタル A G C 回路において、

前記ゲイン算出回路は、前記ピーク検出回路で検出されたピーク値で参照値を除算するための除算器を備えたことを特徴とするデジタル A G C 回路。

【請求項 1 2】 請求項 1 1 記載のデジタル A G C 回路において、
前記除算器は、ビットシフト除算を行うためのビットシフト回路で構成された
ことを特徴とするデジタル A G C 回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、D V D (digital versatile disk) ディスク中にウォブル信号の位
相変調により記録されたアドレス情報を復調するためのアドレス情報復調回路に
用いられるデジタル A G C (automatic gain control) 回路技術に関するもので
ある。

【 0 0 0 2 】

【従来の技術】

様々な規格の D V D ディスクのうち、追記型の D V D + R ディスク、書き換え
可能な D V D + R W ディスクなどでは、A D I P (address in pre-groove) と
呼ばれるように、グルーブを正弦波状に蛇行させたウォブル信号によりアドレス
情報が記録されており、このウォブル信号を検出することにより、高精度なアド
レス検出が可能となっている。

【 0 0 0 3 】

D V D ディスクにおけるウォブル信号は B P S K (binary phase shift keyin
g) により 2 相位相変調されており、アドレス情報復調回路において搬送波生成
回路中の B P F (band pass filter) による位相変化 (遅延) を補正する技術が
知られている (特許文献 1 参照)。

【 0 0 0 4 】

また、B P S K 復調用 A G C 回路のデジタル化技術が知られている。これは、
入力 B P S K 信号を互いに 4 分の 1 周期位相の異なる位置でサンプリングしてデ
ジタル信号に変換し、各々のピークツーピーク値を比較し、大きい方のピークツ
ーピーク値から入力 B P S K 信号のゲインを算出してフィードバックすること
により、入力 B P S K 信号のピークツーピーク値が所定値になるように制御するも
のである (特許文献 2 参照)。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 1 - 1 2 6 4 1 3 号公報

【特許文献 2】

特開平 8 - 3 3 5 9 5 7 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

D V D ディスクから入力されるウォブル信号は振幅のばらつきがある場合が多く、従来はアナログ回路における時定数の大きいゲイン調整を行っても振幅のばらつきが残るという問題があった。

【 0 0 0 7 】

本発明の目的は、D V D ディスクのウォブル信号の振幅をゲイン調整し、以て高精度なアドレス情報の復調を可能にするデジタル A G C 回路を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る第 1 のデジタル A G C 回路は、D V D ディスク中にウォブル信号の位相変調により記録されたアドレス情報を復調するためのアドレス情報復調回路に用いられるものであって、デジタル化されたウォブル信号を入力としかつ当該ウォブル信号の 2 分の 1 周期以上の期間におけるピーク値を検出するためのピーク検出回路と、当該検出されたピーク値からゲイン調整係数を算出するためのゲイン算出回路と、前記デジタル化されたウォブル信号に前記ゲイン調整係数を乗算するための乗算器とを備えたフィードフォワード構成を採用したものである。

【 0 0 0 9 】

また、本発明に係る第 2 のデジタル A G C 回路は、当該デジタル A G C 回路の出力を入力としかつ当該出力の 2 分の 1 周期以上の期間におけるピーク値を検出するためのピーク検出回路と、当該検出されたピーク値からゲイン調整係数を算出するためのゲイン算出回路と、デジタル化されたウォブル信号を入力としかつ

当該ウォブル信号に前記ゲイン調整係数を乗算するための乗算器とを備えたフィードバック構成を採用したものである。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 1 1 】

図 1 は、DVD ディスクのアドレス情報復調回路の構成例を示している。図 1 において、1 はアナログ L P F (low pass filter)、2 は A D C (analog-to-digital converter)、3 はデジタル L P F、4 は本発明に係るデジタル A G C 回路、5 は搬送波生成回路、6 は位相調整回路、7 は乗算器、8 は L P F、9 はレベル検出回路である。

【 0 0 1 2 】

図 1 のアドレス情報復調回路では、入力ウォブル信号からアナログ L P F 1 を用いて高周波のノイズを除去し、A D C 2 でデジタル信号に変換する。そして、デジタル L P F 3 を通過させることで更にノイズを除去する。デジタル A G C 回路 4 は、デジタル L P F 3 の出力振幅のばらつきを補正し、この振幅を一定に保つようにゲインを調整する。一方、入力ウォブル信号から搬送波生成回路 5 によって生成された搬送波の位相を位相調整回路 6 によって調整し、デジタル A G C 回路 4 の出力と乗算器 7 によって乗算する。その後、L P F 8 で平滑化し、レベル検出回路 9 によりアドレス情報を得る。

【 0 0 1 3 】

図 2 は、図 1 のアドレス情報復調回路における入力ウォブル信号の位相変調波形を示している。チャネルクロックの 1 周期を T とするとき、ウォブル信号の 1 周期は 3 2 チャネルクロックである。

【 0 0 1 4 】

図 3 は、図 1 のアドレス情報復調回路における入力ウォブル信号の振幅ばらつきの例を示している。入力ウォブル信号は振幅のばらつきがある場合が多く、アナログ回路における時定数の大きいゲイン調整を行っても振幅のばらつきが残る。そこで、図 1 中のデジタル A G C 回路 4 によりウォブル信号の振幅のばらつき

を補正し、この振幅を一定に保つようにゲインを調整するのである。

【 0 0 1 5 】

図 4 は、本発明に係るデジタル A G C 回路 4 の第 1 の構成例を示している。図 4 において、1 0 はピーク検出回路、2 0 はゲイン算出回路、3 0 はリミッタ、4 0 は遅延器、5 0 は乗算器である。図 3 に示すようにウォブル信号の振幅の大きさは短時間で大きく変動するため、図 4 のデジタル A G C 回路 4 はフィードフォワード型としている。

【 0 0 1 6 】

ピーク検出回路 1 0 は、図 1 中のデジタル L P F 3 から与えられたウォブル信号を入力とし、かつ当該ウォブル信号の 2 分の 1 周期以上の期間におけるピーク値を検出する。この期間内には、ウォブル信号の正のピーク値と負のピーク値とのいずれかが必ず存在するので、ピーク値の検出が可能である。ゲイン算出回路 2 0 は、ピーク検出回路 1 0 で検出されたピーク値からゲイン調整係数を算出し、このゲイン調整係数を乗算器 5 0 へ供給する。リミッタ 3 0 は、ゲイン算出回路 2 0 から乗算器 5 0 へ供給されるゲイン調整係数を一定範囲内に制限するものである。遅延器 4 0 は、ゲイン調整係数の算出のために発生したデジタル的な遅延を調整するため、デジタル L P F 3 から与えられたウォブル信号を遅延させて乗算器 5 0 へ供給する。乗算器 5 0 は、遅延器 4 0 から供給されたウォブル信号にゲイン調整係数を乗算し、その結果を図 1 中の乗算器 7 へ送る。

【 0 0 1 7 】

ゲイン算出回路 2 0 の出力はゲイン調整係数であり、ウォブル信号の振幅を増減する。ゲイン調整の必要がない場合、ゲイン調整係数は 1 である。このゲイン調整係数が極端に大きくなったり小さくなったりすることは、ゲイン調整として好ましくない。そこで、ゲイン算出回路 2 0 の後段にゲイン調整係数の上限と下限を制限するためのリミッタ 3 0 を設ける。これにより、短時間での急激なゲインの増減がなくなる。ただし、このリミッタ 3 0 は省略可能である。

【 0 0 1 8 】

図 4 中の遅延器 4 0 も省略可能である。ゲイン調整係数の算出のために発生するデジタル的な遅延は 1 周期から 2 周期程度であり、遅延器 4 0 で遅延調整をし

なくても、ある程度のゲイン制御は可能である。ただし、ゲインが短時間で大きく変化するような場合は好ましくない。

【 0 0 1 9 】

図 5 は、本発明に係るデジタル A G C 回路 4 の第 2 の構成例を示している。図 5 において、1 0 は当該デジタル A G C 回路 4 の出力を入力とするピーク検出回路、2 0 はゲイン算出回路、3 5 は積分器、5 0 は乗算器である。図 5 中のピーク検出回路 1 0、ゲイン算出回路 2 0 の各々の動作については、図 4 で説明したものと同一である。図 4 との違いは、ゲイン調整の制御方式がフィードバック型であるということである。図 5 中の乗算器 5 0 は、フィードバックによりゲイン算出回路 2 0 で算出されたゲイン調整係数をウォブル信号（デジタル L P F 3 の出力）に乘じる。フィードバック型を用いることで図 4 の場合よりもゲイン調整のタイミングが遅れるが、その遅れは 1 周期から 2 周期程度であり、ゲイン調整の制御には大きな影響を与えない。

【 0 0 2 0 】

図 5 ではゲイン算出回路 2 0 の後段に積分器 3 5 を更に設け、この積分器 3 5 によりゲイン調整係数を積分することで、細やかなゲイン制御が可能となっている。ただし、積分器 3 5 は省略可能である。

【 0 0 2 1 】

図 6 は、図 4 及び図 5 中のピーク検出回路 1 0 の第 1 の構成例を示している。図 6 において、1 1 a は 1 周期カウンタ、1 2 は最大値検出回路である。1 周期カウンタ 1 1 a は図 2 に示すウォブル信号の 1 周期分である 3 2 チャンネルクロックをカウントする。この 3 2 クロック内でのウォブル信号には正のピーク値と負のピーク値とが必ず存在し、それらのピーク値のうち正のピーク値を最大値検出回路 1 2 で検出する。そして、この最大値検出回路 1 2 の出力に応じてゲイン算出回路 2 0 でゲイン調整係数が算出されるのである。

【 0 0 2 2 】

図 7 は、図 4 及び図 5 中のピーク検出回路 1 0 の第 2 の構成例を示している。図 7 において、1 1 a は 1 周期カウンタ、1 3 は最小値検出回路、1 4 は絶対値回路である。最小値検出回路 1 3 は、ウォブル信号の 1 周期における負のピーク

値を検出する。この最小値検出回路 1 3 の出力の絶対値を絶対値回路 1 4 で算出し、絶対値回路 1 4 の出力に応じてゲイン調整係数が算出される。

【 0 0 2 3 】

図 8 は、図 4 及び図 5 中のピーク検出回路 1 0 の第 3 の構成例を示している。図 8 において、1 1 a は 1 周期カウンタ、1 2 は最大値検出回路、1 3 は最小値検出回路、1 5 a はセレクタである。最大値検出回路 1 2 は 3 2 クロック内での最大値である正のピーク値を検出し、最小値検出回路 1 3 は 3 2 クロック内での最小値である負のピーク値を検出する。セレクタ 1 5 a は、最大値検出回路 1 2 の出力か最小値検出回路 1 3 の出力かのいずれか 1 つを選択して出力する。ゲイン調整のためには、正のピーク値か負のピーク値かのいずれか 1 つが得られればよい。

【 0 0 2 4 】

図 9 は、図 4 及び図 5 中のピーク検出回路 1 0 の第 4 の構成例を示している。図 9 において、1 1 a は 1 周期カウンタ、1 2 は最大値検出回路、1 3 は最小値検出回路、1 6 は差分回路である。最大値検出回路 1 2 及び最小値検出回路 1 3 の各々の動作は、先に説明したものと同一である。差分回路 1 6 は、最大値検出回路 1 2 の出力と最小値検出回路 1 3 の出力との差分を算出して出力する。最大値検出回路 1 2 の出力は正のピーク値であり、最小値検出回路 1 3 の出力は負のピーク値であるため、差分回路 1 6 の出力はウォブル信号のピークツーピーク値に等しくなる。

【 0 0 2 5 】

図 1 0 は、図 4 及び図 5 中のピーク検出回路 1 0 の第 5 の構成例を示している。図 1 0 において、1 1 b は 2 分の 1 周期カウンタ、1 2 は最大値検出回路、1 3 は最小値検出回路、1 7 は加算器、1 5 b はセレクタである。図 2 に示すようにウォブル信号の 1 周期の間には、正のピーク値と負のピーク値とが必ず存在する。それゆえ、ウォブル信号の 2 分の 1 周期の間には、正のピーク値か負のピーク値かのいずれかが存在することになる。ゲイン調整のためには正のピーク値か負のピーク値かのいずれかがあれば十分なので、2 分の 1 周期カウンタ 1 1 b を用いてもゲイン調整が可能である。

【 0 0 2 6 】

図 1 0 において、最大値検出回路 1 2 及び最小値検出回路 1 3 の各々の動作は、先に説明したものと同一である。図 1 0 の構成では、加算器 1 7 により最大値検出回路 1 2 の出力と最小値検出回路 1 3 の出力とを加算する。加算器 1 7 の出力の符号は、正のピーク値と負のピーク値との絶対値の大小関係に応じて変わり、正のピーク値の方が大きい場合には正の符号に、負のピーク値の方が大きい場合には負の符号になる。そこで、加算器 1 7 の出力の符号に応じてセレクタ 1 5 b を切り換え、最大値検出回路 1 2 か最小値検出回路 1 3 かのいずれか出力絶対値の大きい方を選択する。そして、セレクタ 1 5 b の出力を用いてゲイン調整係数が算出される。

【 0 0 2 7 】

図 1 1 は、図 4 及び図 5 中のゲイン算出回路 2 0 の構成例を示している。図 1 1 において、2 1 は前段のピーク検出回路 1 0 の出力（ピーク値）で参照値を除算するための除算器である。この除算の結果がゲイン調整係数である。

【 0 0 2 8 】

なお、図 1 1 中の除算器 2 1 は、ビットシフト除算を行うためのビットシフト回路で構成することも可能である。デジタル信号のビット列をビットシフトすることによって通常の除算と同様の効果が得られる。したがって、除算の精度が悪くなるが、回路規模の削減が可能となる。

【 0 0 2 9 】

【発明の効果】

以上説明してきたとおり、本発明によれば、ウォブル信号の 2 分の 1 周期以上の期間におけるピーク値を利用したフィードフォワード構成又はフィードバック構成のデジタル A G C 回路を採用したことにより、高精度なアドレス情報の復調が可能になる。

【図面の簡単な説明】

【図 1】

本発明に係るデジタル A G C 回路を用いた D V D ディスクのアドレス情報復調回路の構成例を示すブロック図である。

【図 2】

図 1 のアドレス情報復調回路における入力ウォブル信号の位相変調波形図である。

【図 3】

図 1 のアドレス情報復調回路における入力ウォブル信号の振幅ばらつきの例を示す波形図である。

【図 4】

本発明に係るデジタル A G C 回路の第 1 の構成例を示すブロック図である。

【図 5】

本発明に係るデジタル A G C 回路の第 2 の構成例を示すブロック図である。

【図 6】

図 4 及び図 5 中のピーク検出回路の第 1 の構成例を示すブロック図である。

【図 7】

図 4 及び図 5 中のピーク検出回路の第 2 の構成例を示すブロック図である。

【図 8】

図 4 及び図 5 中のピーク検出回路の第 3 の構成例を示すブロック図である。

【図 9】

図 4 及び図 5 中のピーク検出回路の第 4 の構成例を示すブロック図である。

【図 1 0】

図 4 及び図 5 中のピーク検出回路の第 5 の構成例を示すブロック図である。

【図 1 1】

図 4 及び図 5 中のゲイン算出回路の構成例を示すブロック図である。

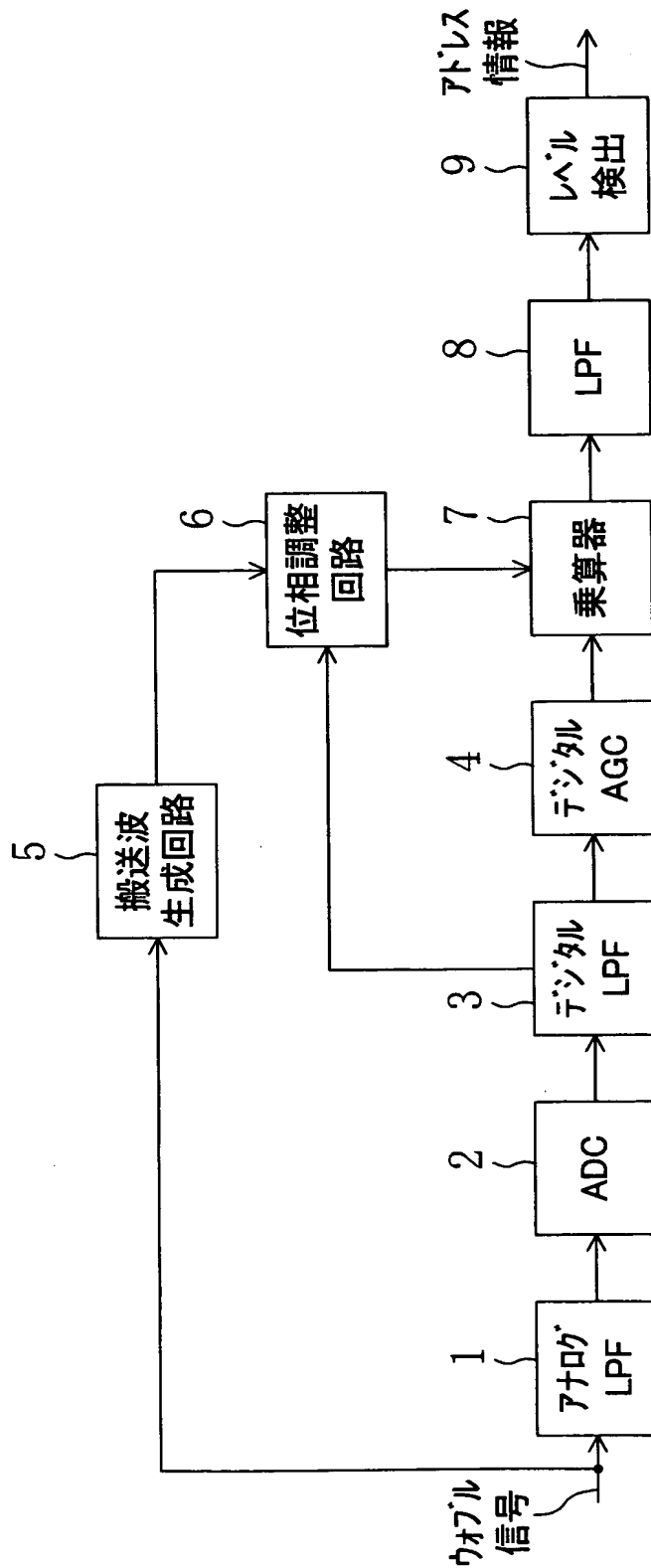
【符号の説明】

- 1 アナログ L P F
- 2 A D C
- 3 デジタル L P F
- 4 デジタル A G C 回路
- 5 搬送波生成回路
- 6 位相調整回路

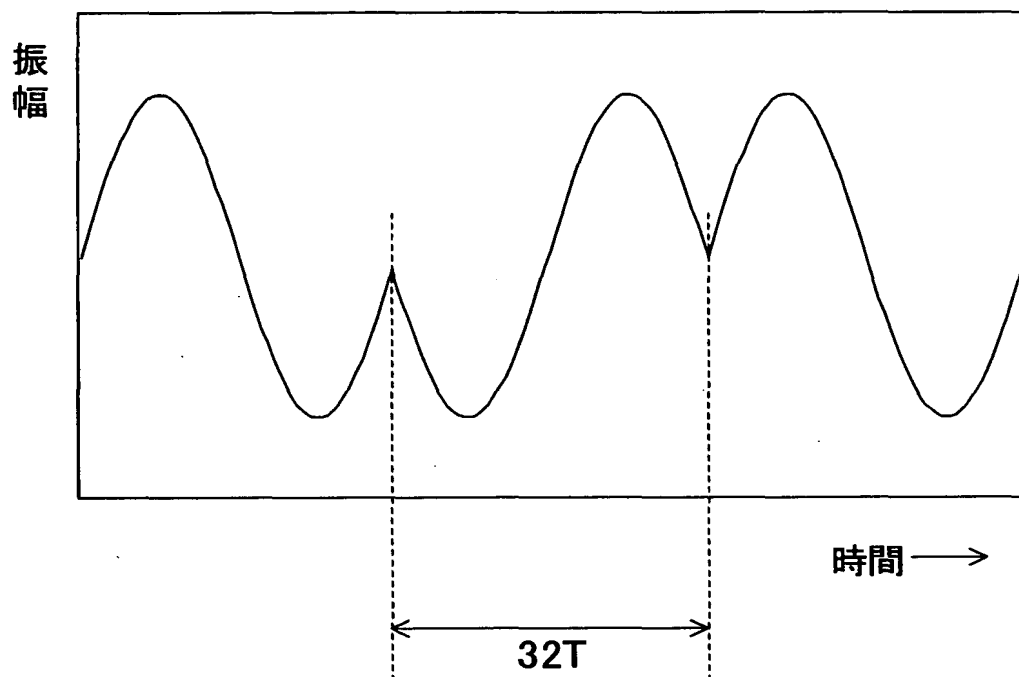
- 7 乗算器
- 8 L P F
- 9 レベル検出回路
- 1 0 ピーク検出回路
- 1 1 a 1 周期カウンタ
- 1 1 b 1 / 2 周期カウンタ
- 1 2 最大値検出回路
- 1 3 最小値検出回路
- 1 4 絶対値回路
- 1 5 a , 1 5 b セレクタ
- 1 6 差分回路
- 1 7 加算器
- 2 0 ゲイン算出回路
- 2 1 除算器
- 3 0 リミッタ
- 3 5 積分器
- 4 0 遅延器
- 5 0 乗算器

【書類名】 図面

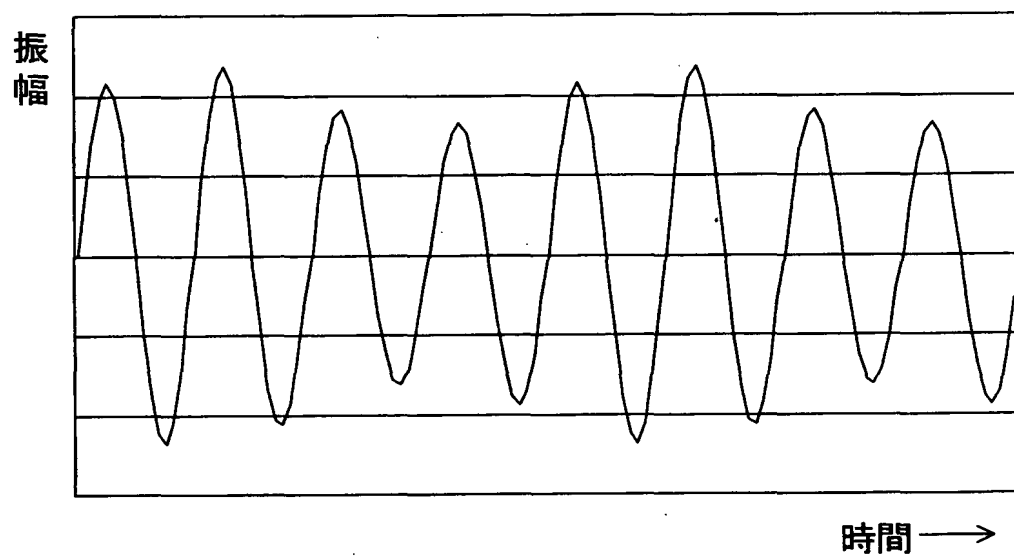
【図 1】



【図 2】

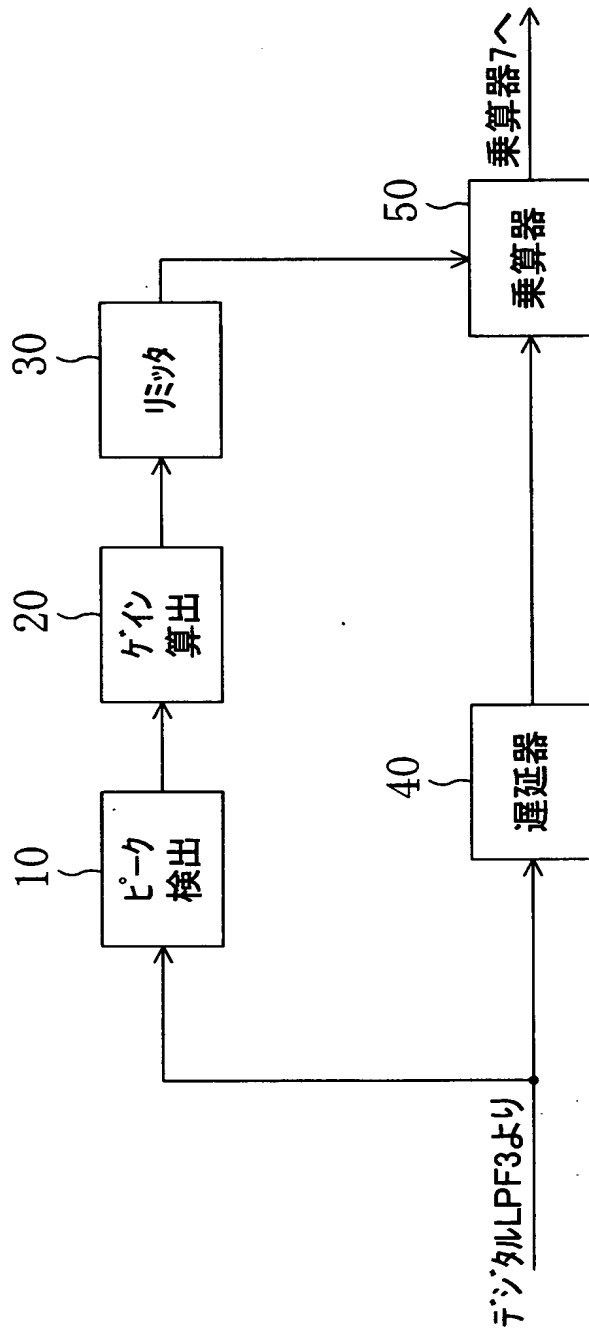


【図 3】



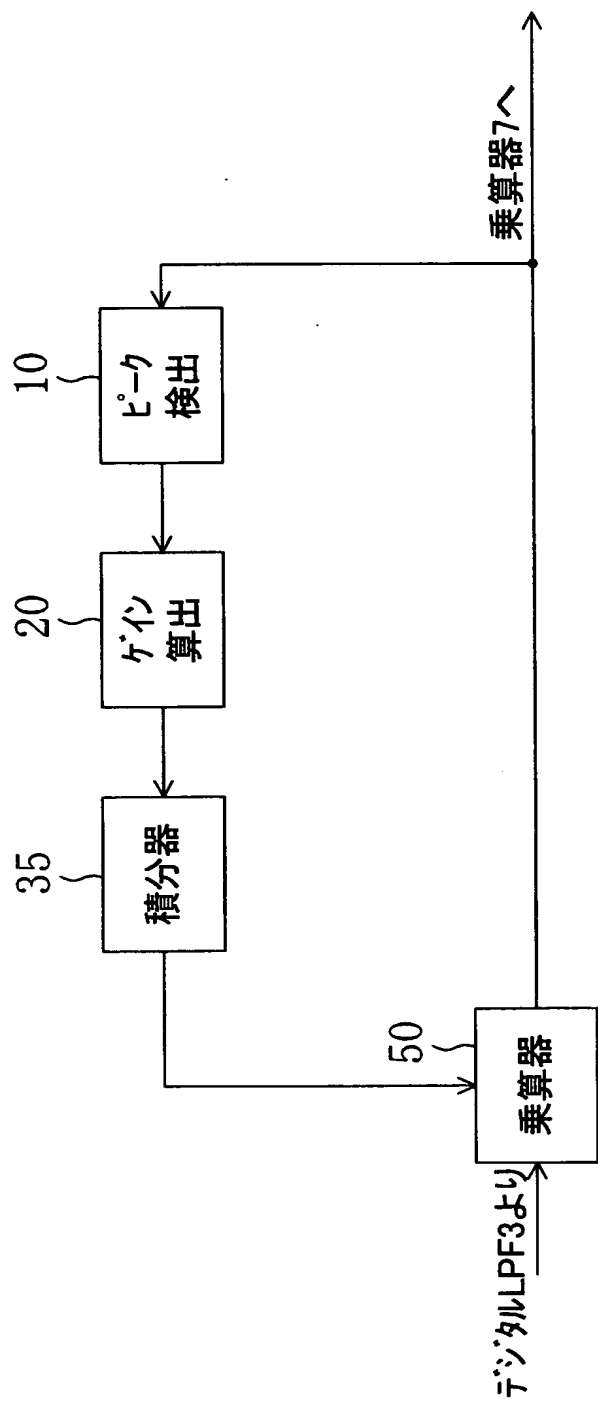
【図 4】

4

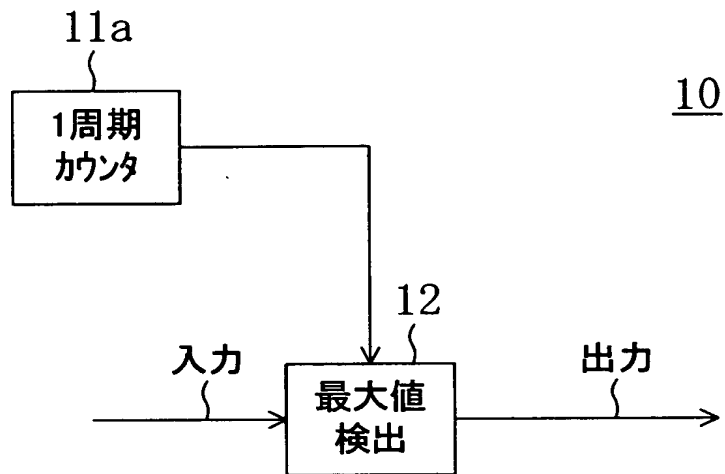


【図 5】

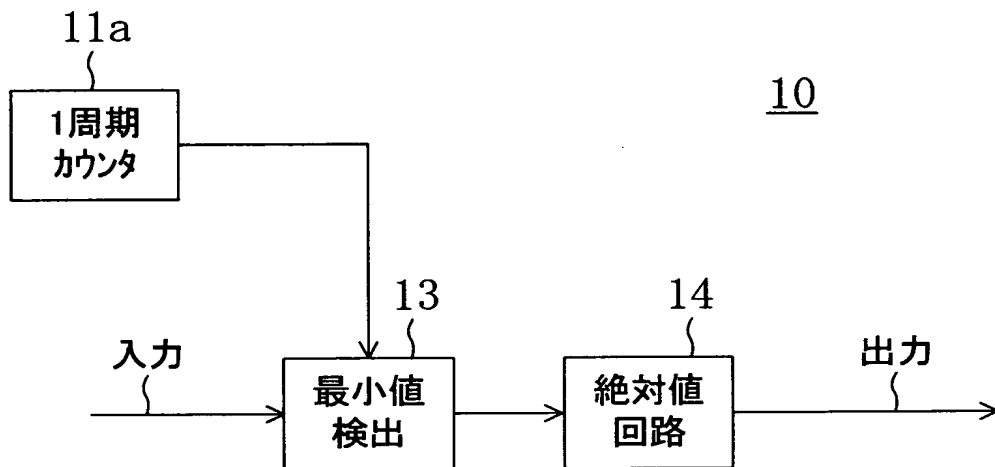
4



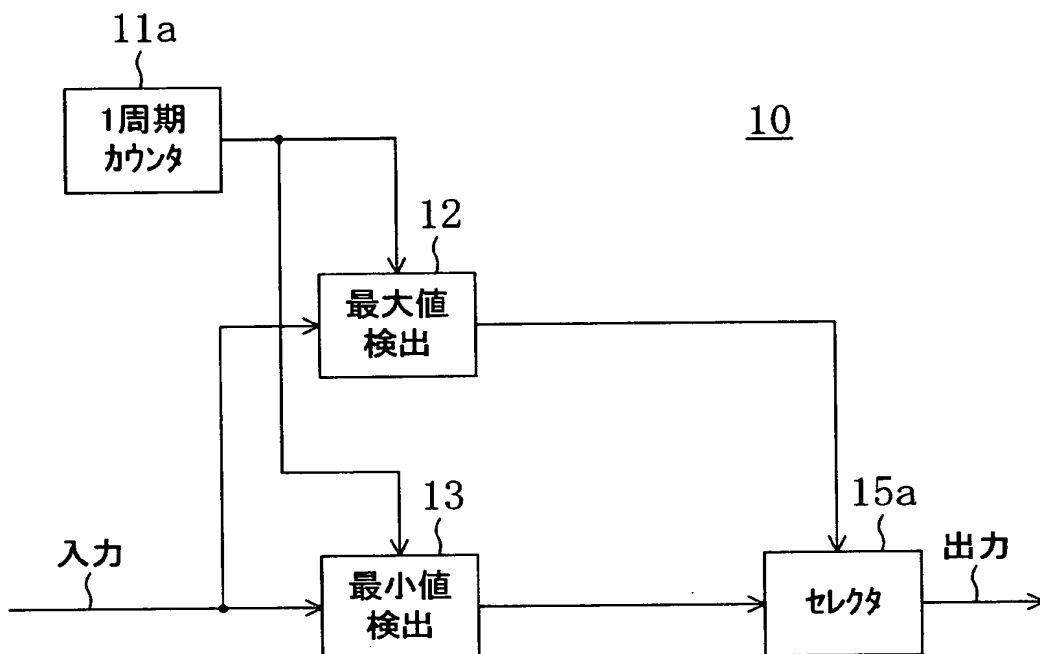
【図 6】



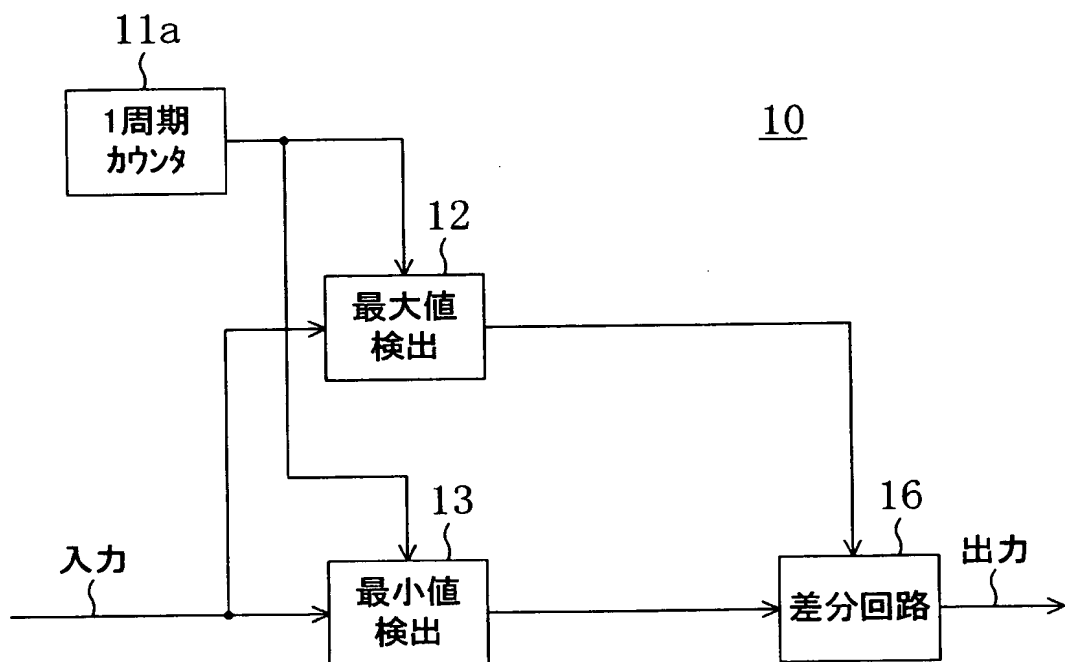
【図 7】



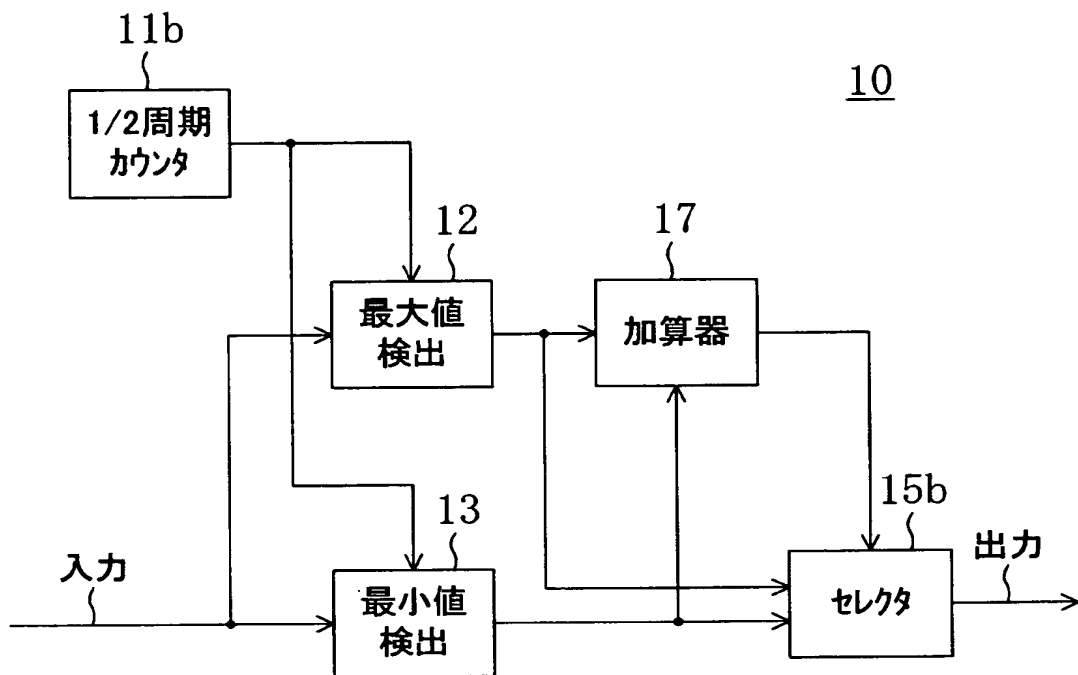
【図 8】



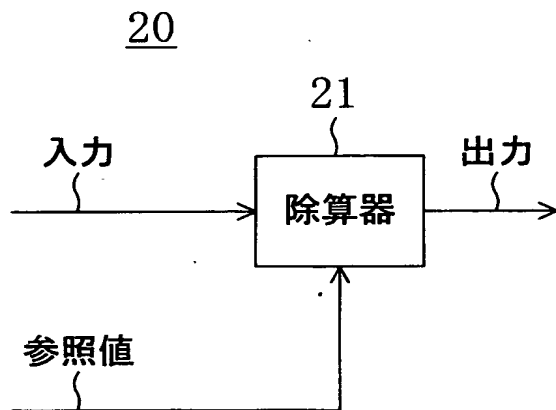
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 DVDディスクの2相位相変調されたウォブル信号の振幅をゲイン調整し、以て高精度なアドレス情報の復調を可能にする。

【解決手段】 デジタル化された入力ウォブル信号の2分の1周期以上の期間におけるピーク値をピーク検出回路10で検出し、このピーク値からゲイン算出回路20でゲイン調整係数を算出し、これをリミッタ30で一定範囲内に制限しながら乗算器50へ供給する。一方、ゲイン調整係数の算出のために発生したデジタル的な遅延を調整するため、入力ウォブル信号を遅延器40で遅延させて乗算器50へ供給する。乗算器50は、遅延器40から供給されたウォブル信号にゲイン調整係数を乗算し、その結果をデジタルAGC回路4の出力とする。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社